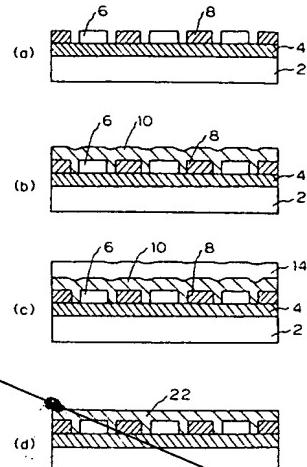


(54) FLATTENING METHOD FOR INSULATING FILM
 (11) 3-151636 (A) (43) 27.6.1991 (19) JP
 (21) Appl. No. 64-290474 (22) 8.11.1989
 (71) FUJI ELECTRIC CO LTD (72) ATSUO HIRABAYASHI
 (51) Int. Cl⁵. H01L21/316

PURPOSE: To unnecessary the forming process of a resist pattern, and reduce the number of processes, by forming an insulating film bottom-protruding layer of noncontact with a circuit wiring in a non-wiring region, at the same time as the formation of a circuit wiring on the substrate surface.

CONSTITUTION: When a circuit wiring is formed, an insulating film bottom-protruding layer 8 of the same material as the circuit wiring is simultaneously formed in the region where the circuit wiring 6 is not formed, so as not to come into contact with at least the circuit wiring 6. The circuit wiring 6 and the insulating film bottom-protruding layer 8 are coated with an insulating film 10, on which a resist film 14 is formed. The whole surface of the substrate 2 is etched back until the coating film is eliminated. The recessed parts of corrugation of the insulating film 10 are raised, and the corrugation is relieved, so that the surface can be completely flattened by spreading the coating film 14 having fluidity. Thereby the formation of a resist pattern is unnecessary, and the number of processes can be reduced.



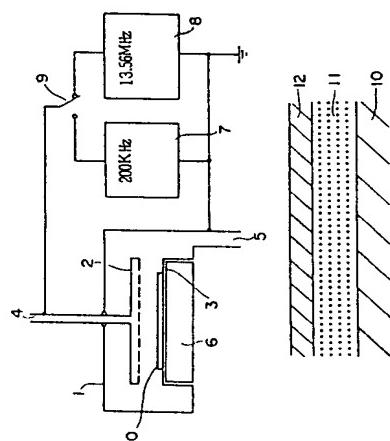
4.22: silicon oxide film

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE AND PLASMA CVD EQUIPMENT

(11) 3-151637 (A) (43) 27.6.1991 (19) JP
 (21) Appl. No. 64-289957 (22) 9.11.1989
 (71) KOWA KURIEITAA K.K. (72) ISAO SERITA
 (51) Int. Cl⁵. H01L21/318, H01L21/205

PURPOSE: To simply prevent the warping of a semiconductor substrate, the disconnection and contact of wiring, and obtain a uniform substrate free from strain, by supplying discharge frequency electric power of different frequencies, forming thin films with different stress directions on a semiconductor substrate, and controlling the total stress by alternately stacking the thin films.

CONSTITUTION: By using plasma CVD method and changing discharge frequencies of high frequency power supplies 7, 8, thin films with different stress directions are formed on a semiconductor substrate 10. A thin film 12 generating compression stress and a thin film 11 generating tensile stress are alternately stacked, thereby controlling stress. When compression stress is generated, the substrate is bent so as to protrude outside. When tensile stress is generated, the substrate is bent so as to protrude inside. Hence, by combining both of the films, the stresses are cancelled, and the semiconductor substrate can be so controlled that external force is not applied. Thereby the generation of warp of the substrate, the disconnection of wiring on the substrate, and the mutual contact of wires can be prevented.

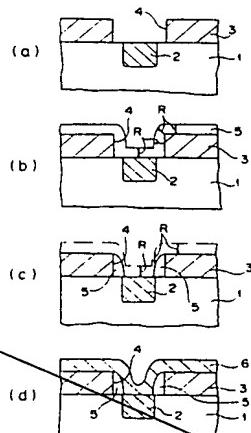


(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 3-151638 (A) (43) 27.6.1991 (19) JP
 (21) Appl. No. 64-290800 (22) 8.11.1989
 (71) NISSAN MOTOR CO LTD (72) KOICHI KUSUYAMA
 (51) Int. Cl⁵. H01L21/3205, H01L21/306

PURPOSE: To facilitate the size control of a contact hole and the like, and prevent the contact hole and the like from being buried, by depositing a CVD layer on the surface of a step-difference part, and then eliminating the CVD layer so as to leave it only on the sidewall of the contact hole by anisotropic etching.

CONSTITUTION: When a second insulating layer 5 is deposited in the inside of a contact hole 4 and the surface of a first insulating layer 3, the second insulating layer 5 deposited on the edge part of the contact hole turns to a smooth curved surface whose radius is R. When the second insulating film 5 is etched by anisotropic etching by a height of R in the direction vertical to a substrate 1, the second insulating layer 5 is left only on the sidewall of the contact hole 4. The upper end edge comes to have roundness and turns to a taper type as a whole. Hence a step-difference part of the contact hole 4 is smoothed, and a step coverage part is formed, so that the disconnection is hard to be caused in the wiring layer 6. Thereby the dimension of the contact hole and the like can be easily controlled, and the contact hole and the like are not buried.



⑯日本国特許庁(JP)

⑩特許出願公開

⑯公開特許公報(A)

平3-151637

⑤Int.Cl.⁵

H 01 L 21/318
21/205

識別記号

庁内整理番号

M

6940-5F
7739-5F

④公開 平成3年(1991)6月27日

審査請求 有 請求項の数 2 (全5頁)

⑤発明の名称 半導体装置の製造方法及びプラズマCVD装置

②特 願 平1-289957

②出 願 平1(1989)11月9日

⑦発明者 芹田 功 埼玉県鳩ヶ谷市坂下町3丁目27番11号

⑦出願人 株式会社幸和クリエイター 埼玉県川越市芳野台2丁目8番36号

⑧代理人 弁理士 井上 清子 外1名

明細書

(従来の技術)

半導体基板上に薄膜を形成するため各種のCVD法が用いられているが、その内でプラズマCVD法により形成される薄膜(窒化珪素膜)は、一般に大きなストレスを有することが知られている。このために該基板にそりが生じたり、基板上の配線が断線したり、線どうしが接触したりすることがある。

このような問題を解決するために、基板上に異なる種類のCVD法によってそれぞれ圧縮応力を有する窒化珪素膜と、引張応力を有する窒化珪素膜を形成しこれらを交互に重ねる方法が提案されている。

従来の方法は、CVD法が全く異なると、形成される薄膜のストレス方向が異なることに着目したものであるため複数の違った種類のCVD装置を用意し、これを組み合わせて使用するので、装置が複雑化し、保守、操作の面等においても不便であり、また不経済でもあった。

(発明が解決しようとする課題)

1 発明の名称 半導体装置の製造方法及び
プラズマCVD装置

2 特許請求の範囲

1. プラズマCVD法によって周波数の異なる放電周波電力を供給し半導体基板上にストレス方向の異なる薄膜を形成し該薄膜を交互に重ねて全体のストレスを制御するようにしたことを特徴とする半導体装置の製造方法。

2. 半導体基板上に引張応力と圧縮応力をそれぞれ生じさせるべく反応器電極に異なる放電周波電力を供給する手段を備えたことを特徴とするプラズマCVD装置。

3 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置の製造方法及びプラズマCVD装置に関し、特に半導体基板上の配線表面に形成する絶縁膜、保護膜等の薄膜を形成する方法及び装置に関する。

本発明の目的は、これらの問題点を解決し、異なる種類の CVD 法によらないでストレス方向を制御した良好な半導体装置を提供することである。

また本発明の目的は、簡便な方法でストレス方向を制御できるようにしたプラズマ CVD 装置を提供することである。

(課題を解決するための手段)

本発明によれば、上記目的は、プラズマ CVD 法によりその放電周波数を変えることによってストレス方向の異なる薄膜を形成し圧縮応力を生じる薄膜と引張応力を生じる薄膜を交互に重ねストレスを制御するようにした半導体装置の製造法により達成される。

(作用)

プラズマ CVD 法により半導体基板上に引張応力を有する薄膜と圧縮応力を有する薄膜を重ねて形成する。該薄膜はその何れを上下に形成してもよく、又これらの各薄膜を複数の層に重ねて設けてもよい。なお、該薄膜は相互の応力の大きさに応じて適当な厚さに形成される。

- 3 -

反応器 1、上部電極 2、下部電極 3、反応ガス導入部 4、排気口 5、ヒータ 6 を備えている。該装置の両電極には、異なる放電周波電力が供給できるように構成されており、図示のものでは 200 KHz の高周波電源 7 と 13.56 MHz の高周波電源 8 を設け、これらを並列に接続し、スイッチ 9 によって切り換えるようにしてあるが、1 つの高周波電源を可変するようにしてもよい。

上記下部電極 3 上に半導体基板 10 を載置し、該基板面に一方の 13.56 MHz の高周波電力を印加し窒化珪素膜 11 (HF-SiN) を形成する。これによって得られた薄膜は引張応力を有する。次いで上記スイッチ 9 によって電源を切り換え、他方の 200 KHz の高周波電力を印加してその薄膜の上に窒化珪素膜 12 (LF-SiN) を形成する (第 2 図)。

第 3 図は上記窒化珪素膜 11、12 を重ねた全体の応力状態が判るようにこれらの薄膜の厚さと該膜の応力の関係を示したもので、この場合該窒化珪素膜 12 の厚さを 500 Å と一定にし、窒化

上記薄膜は放電周波電力を変換できるようにしたプラズマ CVD 装置により形成したり、放電周波電力の異なるプラズマ CVD 装置を用いることにより形成したりする。

(実施例)

半導体基板上にプラズマ CVD 装置を用いてシリコン空化膜の薄膜を形成する場合、該装置の放電周波数の大きさが相違すると引張応力が発生したり、圧縮応力が発生したりすることが判った。そしてこのような薄膜の応力の変化は放電周波数をほぼ 1 MHz 以下にすると圧縮応力が発生し、またほぼ 10 MHz 以上にすると引張応力が発生する傾向にあり、この圧縮応力が生じたとき基板は外方に凸に湾曲され、引張応力の場合は内方に凸に湾曲される。

そこで引張応力が生じる薄膜と圧縮応力が生じる薄膜を組み合わせることにより、それらの応力を相殺し上記半導体基板に外力が作用しないように制御することができる。

第 1 図はプラズマ CVD 装置を示し、該装置は

- 4 -

珪素膜 11 の厚さを変化させた場合の薄膜の応力状態を示している。これによると、窒化珪素膜 12 だけの場合、圧縮応力は約 10.5×10^3 dyne/cm² であるが、上記窒化珪素膜 11 の厚さが 2500 Å になったときに両窒化珪素膜の応力が相殺し全体の応力が 0 になることが判る。第 4 図のものは、半導体基板上に配線 13 を施し、該配線上に上記窒化珪素膜 11 を形成しその上に窒化珪素膜 12 を形成した場合で、該薄膜による配線の断線、接触等を防いでいる。

なお、上記窒化珪素膜 11、12 の組合せは、複数組積層することもできる。

(発明の効果)

本発明は、上記構成により基板上に形成される薄膜をプラズマ CVD の放電周波数を変えることにより制御できるようにしたので、半導体基板のそりや配線の断線、接触等を簡便に防止し、歪みのない均一の基板が得られるとともに、その歩留、信頼性を向上し、かつ効率よく経済的に得ることができる。

- 5 -

4 図面の簡単な説明

図面は本発明の実施例を示し、第1図は概略図、第2図は半導体基板上に薄膜を形成した状態を示す一部拡大断面図、第3図は薄膜に作用する応力と薄膜の厚さの関係を示すグラフ、第4図は半導体基板の配線上に薄膜を形成した状態を示す一部拡大断面図である。

2. 3 : 電極 7. 8 : 高周波電源 9 :
スイッチ 10 : 半導体基板 11. 12 :
窒化珪素膜 13 : 配線

特許出願人 株式会社幸和クリエイター

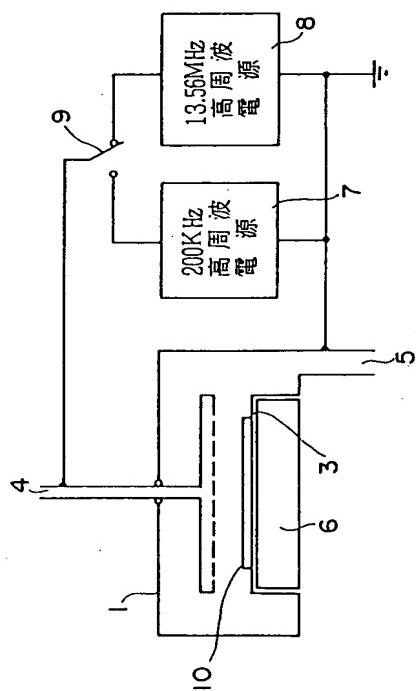
代 理 人 弗 理 士 井 上 清 子

代 理 人 斯理士 魏 川 義 示

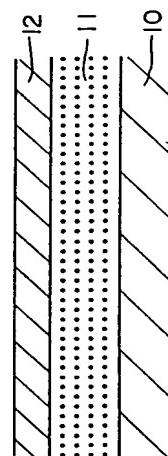
西漢書
卷之二

- 7 -

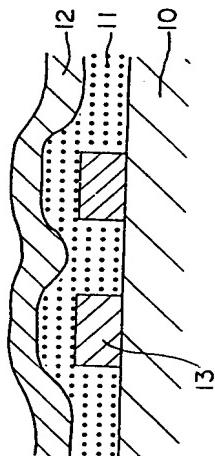
四
—
第



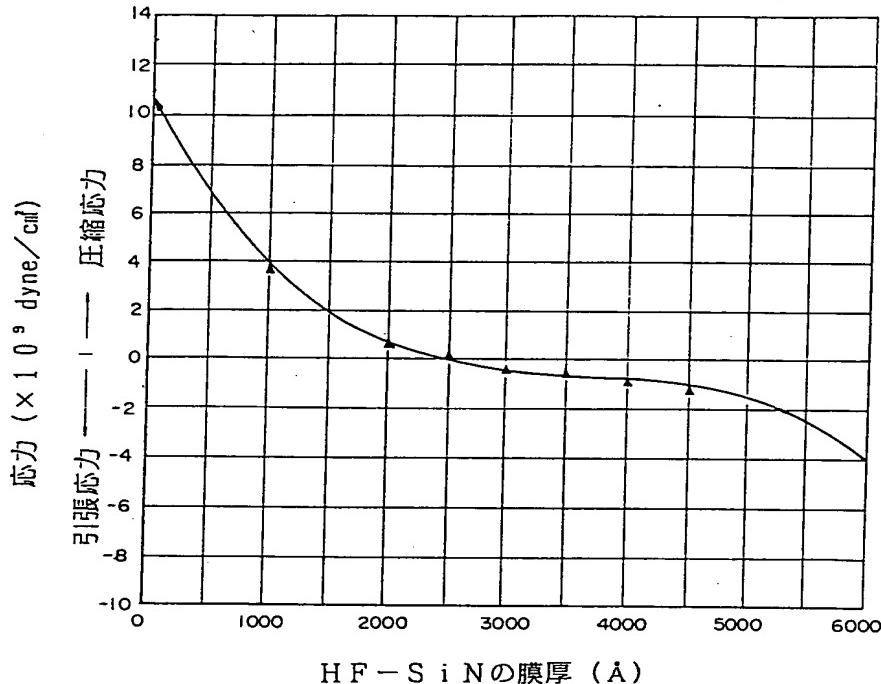
四
2



第4章



第3図



手 続 補 正 書

7 補正の内容

平成1年12月5日

別紙のとおり

以 上

特許庁長官 吉田 文毅 殿

1 事件の表示 平成1年特許願第289957号

2 発明の名称 半導体装置の製造方法及び
プラズマCVD装置

3 補正をする者

事件との関係 特許出願人

名称 株式会社幸和クリエイター

4 代理人

住所 東京都中央区銀座七丁目14番3号
松慶ビルディング 電話(541) 1776(代)
4572(4235)氏名 弁理士 井 上 清 子
(外1名)

5 補正命令の日付 (自発)

平成 年 月 日
(発送日 平成 年 月 日)

6 補正の対象

図面の第1図

方 式
審査

第 1 図

